

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-214576

(43)Date of publication of application : 29.07.2004

(51)Int.Cl.

H01L 21/331
H01L 21/205
H01L 29/737

(21)Application number : 2003-002780

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 09.01.2003

(72)Inventor : SATO MICHIO

(54) HETERO-BIPOLAR TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a hetero-bipolar transistor having improved high-speed operation characteristics.

SOLUTION: The hetero-bipolar transistor includes a buffer layer 2, an n-type collector layer 3, a p-type base layer 4, an n-type emitter layer 5, and an n-type cap layer 6, which are formed in order on a semi-insulating substrate 1, and individually formed with a collector electrode 7 on the collector layer 3, a base electrode 8 on the base layer 4, and an emitter electrode 9 on the cap layer 6. The hetero-bipolar transistor is constituted of semi-insulating substrate 1 and buffer layer 2 consisting of GaAs, the n-type collector layer 3 consisting of GaNAs, the p-type base layer 4 consisting of GaAs, the n-type emitter layer 5 consisting of AlGaAs, and the n-type cap layer 6 consisting of InGaAs.

FIG 1



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-214576

(P2004-214576A)

(43) 公開日 平成16年7月29日 (2004.7.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/331	H O 1 L 29/72	5 F 0 0 3
H O 1 L 21/205	H O 1 L 21/205	5 F 0 4 5
H O 1 L 29/737		

審査請求 未請求 請求項の数 13 O L (全 12 頁)

(21) 出願番号	特願2003-2780 (P2003-2780)	(71) 出願人	000004226
(22) 出願日	平成15年1月9日 (2003.1.9)		日本電信電話株式会社
			東京都千代田区大手町二丁目3番1号
		(74) 代理人	100075753
			弁理士 和泉 良彦
		(74) 代理人	100081341
			弁理士 小林 茂
		(72) 発明者	佐藤 理夫
			東京都千代田区大手町二丁目3番1号
			日本電信電話株式会社内
		Fターム (参考)	5F003 BA92 BB01 BB04 BC04 BE04
			BE90 BF06 BG06 BM02 BM03
			BP32
			5F045 AA04 AB17 AC08 AC19 AF04
			CA02

(54) 【発明の名称】 ヘテロバイポーラトランジスタ

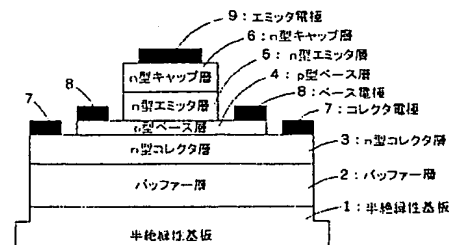
(57) 【要約】

【課題】 高速動作特性が改善されたヘテロバイポーラトランジスタを提供すること。

【解決手段】 半絶縁性基板1の上に、バッファ層2、n型コレクタ層3、p型ベース層4、n型エミッタ層5、n型キャップ層6が順次形成され、コレクタ層3の上にはコレクタ電極7が、ベース層4の上にはベース電極8が、キャップ層6の上にはエミッタ電極9が、それぞれ形成されてなるヘテロバイポーラトランジスタにおいて、半絶縁性基板1およびバッファ層2がGaAsからなり、n型コレクタ層3がGaNAsからなり、p型ベース層4がGaAsからなり、n型エミッタ層5がAlGaAsからなり、n型キャップ層6がInGaAsからなるヘテロバイポーラトランジスタを構成する。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がGaNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。

【請求項 2】

半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がAlGaAsからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいAlGaAsあるいはGaAsからなり、前記n型コレクタ層がGaNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。 10

【請求項 3】

半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がGaInPあるいはAlGaInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいGaInP、AlGaInPまたはGaAsからなり、前記n型コレクタ層がGaNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。

【請求項 4】

半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がGaInNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。 20

【請求項 5】

半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がAlGaAsからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいAlGaAsあるいはGaAsからなり、前記n型コレクタ層がGaInNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。 30

【請求項 6】

半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がGaInPあるいはAlGaInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいGaInP、AlGaInPまたはGaAsからなり、前記n型コレクタ層がGaInNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。

【請求項 7】

半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がInNPを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。 40

【請求項 8】

半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がInPあるいはAlInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいInP、AlInPまたはGaAsSbからなり、前記n型コレクタ層がInNPを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。

【請求項 9】

半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がInNPAsあるいはInNP S bを構成要素とし 50

て有することを特徴とするヘテロバイポーラトランジスタ。

【請求項10】

半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がInPあるいはAlInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいInP、AlInPまたはGaAsSbからなり、前記n型コレクタ層がInNPAsあるいはInNPShを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。

【請求項11】

半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がGaInNAsを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。

【請求項12】

半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がInPあるいはAlInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいGaInAsからなり、前記n型コレクタ層がGaInNAsを構成要素として有することを特徴とするヘテロバイポーラトランジスタ。

【請求項13】

請求項1乃至12のいずれかに記載のヘテロバイポーラトランジスタにおける前記n型コレクタ層を、窒素原子組成の異なる半導体を交互に積層した超格子構造あるいは窒素を含む半導体と窒素を含まない半導体を交互に積層した超格子構造からなる層に代えてなることを特徴とするヘテロバイポーラトランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はヘテロバイポーラトランジスタに関し、特に、無線通信・光通信・信号計測等に用いられる、高速で動作する半導体デバイスに関するものである。

【0002】

【従来の技術】

【特許文献1】特開平06-037355号公報

【特許文献2】特開2000-277867号公報

【非特許文献1】論文「M. W. Dvorak, et al., IEEE Elec. Dev. Lett. Vol. 22 (2001) p. 361」

【非特許文献2】論文「Markus Weyers, et al., Jpn. J. Appl. Phys. Vol. 31 (1992) p. L853」

【非特許文献3】論文「Michio Sato, et al., Inst. Phys. Conf. Ser. No. 129: Chapter 6 (1993) p. 555」

【非特許文献4】論文「Shunichi Sato, Jpn. J. Appl. Phys. Vol. 39 (2000) p. 3403」

【非特許文献5】論文「Michio Sato, J. Crystal Growth Vol. 145 (1994) p. 99」

【非特許文献6】論文「Masahiko Kondow, et al., Jpn. J. Appl. Phys. Vol. 35 (1996) p. 1273」。

【0003】

ヘテロバイポーラトランジスタ（以下HBTと記す）はn型エミッタ層のバンドギャップをp型ベース層より大きくすることを特徴とするトランジスタである。

【0004】

10

20

30

40

50

HBTの構造の概略図を図1に示す。図において、半絶縁性基板1の上に、バッファ層2、n型コレクタ層3、p型ベース層4、n型エミッタ層5、n型キャップ層6が順次形成され、n型コレクタ層3の上にはコレクタ電極7が、p型ベース層4の上にはベース電極8が、キャップ層6の上にはエミッタ電極9が、それぞれ形成されている。

【0005】

図1において、動作原理は同一半導体のn型、p型、n型を積層したホモ接合トランジスタとほぼ同様であるが、HBTにおいてはp型ベース層4よりn型エミッタ層5への少数キャリアであるホールの漏洩がそのバンドギャップ差により抑制される点が異なっている。図4に、従来手法によって作製されたHBTのエネルギー帯構造の一例を示す。図に見られるように、n型エミッタ層とp型ベース層との間に価電子帯上端のエネルギー勾配があり、この勾配が少数キャリアであるホールのエミッタ側への漏洩を抑制している。少数キャリアの漏洩が抑制される分、ホモ接合トランジスタよりも利得が大きくなる。

【0006】

n型エミッタ層5、p型ベース層4の組成を最適化することにより、HBT中を走行する電子の速度を増加させることが可能である。例えば、半絶縁性基板1としてGaAs基板を用い、AlGaAsをn型エミッタ層5とするHBTにおいて、AlGaAsで形成されるp型ベース層4のAl組成をエミッタ層5側からコレクタ層3に向けて徐々に小さくすることが行われている。この組成の傾斜により、ベース層4を横切って走行する電子が加速され、より速い電子速度が得られる。このような構造上の工夫により、HBTは高速で動作する。

【0007】

GaAs基板を用いたHBTでは、n型エミッタ層5にAlGaAsまたはGaInP、p型ベース層4にAlGaAsまたはGaAs、n型コレクタ層3にGaAsを用いることが一般的である。

【0008】

InP基板を用いてもHBTは作製できる。InP基板を用いる場合には、n型エミッタ層5にAlInP、p型ベース層4にAlInPあるいはInP、n型コレクタ層3にInPの組み合わせか、n型エミッタ層5にInP、p型ベース層4にGaInAs、n型コレクタ層3にGaInAsの組み合わせを用いることが一般的である。GaInAs中においてはInP中よりも電子の走行速度が速いので、後者の組み合わせで作製したHBTは、前者より高速で動作する。

【0009】

近年、p型ベース層4にGaAsSbを用いたHBTが報告された（上記非特許文献1）。この報告では、InP基板を用い、n型エミッタ層5、n型コレクタ層3ともにInPを使用している。InPとGaAsSbとの間のバンドギャップの関係より、ベース層4からエミッタ層5への少数キャリアの漏洩は厳しく抑制されるため動作速度は速く、高速スイッチング時の電流利得の遮断周波数（以下 f_T と記す）は200GHzを超える。

【0010】

GaAsに窒素を添加したGaNAsはGaAsよりも長い波長で発光することが報告されている（上記特許文献1、非特許文献2及び3）。その後、GaNAsにInを添加したGaInNAsを用いた半導体レーザーが報告されている（上記特許文献2及び非特許文献4）。これらの報告例では、GaNAs層あるいはGaInNAs層にレーザーなどの励起光の照射あるいは電流注入により電子とホールの両方を形成させ、その電子とホールのペアが再結合する際の発光を観測している。

【0011】

しかしながら、GaNAs層やGaInNAs層中において電子を走行させることについての報告はない。

【0012】

さらに、InPに窒素を添加したInNPについては、その作製例すらなく、物性についても明らかになっていない。

10

20

30

40

50

【0013】

【発明が解決しようとする課題】

無線通信で使用する周波数領域の高周波化、通信需要増加による光通信速度の高速化などにより、高速で動作する電子デバイスが求められている。

【0014】

HBTを高速で動作させるためには、n型エミッタ層5の伝導帯のエネルギー位置を高くしてエネルギー差により高速でp型ベース層4に電子を注入する従来手法がある。しかしながらGaAsやInP基板の上に成長できる材料には限りがあり、n型エミッタ層5のエネルギー位置を高くする手法はすでに限界を迎えている。

【0015】

p型ベース層4の膜厚を薄くすることは、ベース層4中を電子が走行する時間を短縮する効果により、HBTを高速で動作させることに有効である。しかしながら、薄い膜においては、分子層レベルの膜厚の変化がHBTの特性に影響を与えるため、エピタキシャル成長において、面内の均一性や再現性を確保することが困難となる。

【0016】

以上の手法が限界を迎えている現状において、HBTのさらなる高速化を図ることが、本発明が解決しようとする課題であり、本発明の目的は、高速動作特性が改善されたヘテロバイポーラトランジスタを提供することにある。

【0017】

【課題を解決するための手段】

上記課題を解決するために、本発明は、請求項1に記載したように、半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がGaNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

【0018】

また、本発明は、請求項2に記載したように、半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がAlGaAsからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいAlGaAsあるいはGaAsからなり、前記n型コレクタ層がGaNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

【0019】

また、本発明は、請求項3に記載したように、半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がGaInPあるいはAlGaInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいGaInP、AlGaInPまたはGaAsからなり、前記n型コレクタ層がGaNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

【0020】

また、本発明は、請求項4に記載したように、半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がGaInNA sを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

【0021】

また、本発明は、請求項5に記載したように、半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がAlGaAsからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいAlGaAsあるいは

10

20

30

40

50

はGaAsからなり、前記n型コレクタ層がGaInNAsを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

【0022】

また、本発明は、請求項6に記載したように、半絶縁性GaAs基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がGaInPあるいはAlGaInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいGaInP、AlGaInPまたはGaAsからなり、前記n型コレクタ層がGaInNAsを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

10

【0023】

また、本発明は、請求項7に記載したように、半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がInNPを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

【0024】

また、本発明は、請求項8に記載したように、半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がInPあるいはAlInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいInP、AlInPまたはGaAsSbからなり、前記n型コレクタ層がInNPを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

20

【0025】

また、本発明は、請求項9に記載したように、半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がInNPAsあるいはInNP Sbを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

30

【0026】

また、本発明は、請求項10に記載したように、半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がInPあるいはAlInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいInP、AlInPまたはGaAsSbからなり、前記n型コレクタ層がInNPAsあるいはInNP Sbを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

【0027】

また、本発明は、請求項11に記載したように、半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層及びp型ベース層が化合物半導体からなり、前記n型コレクタ層がGaInNAsを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

40

【0028】

また、本発明は、請求項12に記載したように、半絶縁性InP基板上に、n型エミッタ層、p型ベース層及びn型コレクタ層を有するヘテロバイポーラトランジスタにおいて、前記n型エミッタ層がInPあるいはAlInPからなり、前記p型ベース層が前記n型エミッタ層よりバンドギャップが小さいGaInAsからなり、前記n型コレクタ層がGaInNAsを構成要素として有することを特徴とするヘテロバイポーラトランジスタを構成する。

50

【0029】

また、本発明は、請求項13に記載したように、請求項1乃至12のいずれかに記載のヘテロバイポーラトランジスタにおける前記n型コレクタ層を、窒素原子組成の異なる半導体を交互に積層した超格子構造あるいは窒素を含む半導体と窒素を含まない半導体を交互に積層した超格子構造からなる層に代えてなることを特徴とするヘテロバイポーラトランジスタを構成する。

【0030】

【発明の実施の形態】

p型ベース層4とn型コレクタ層3の間に、大きな伝導帯のエネルギー位置の差を実現することができれば、n型エミッタ層5から供給されp型ベース層4を通過した電子がさらにn型コレクタ層3で加速される。この効果により、HBTの動作速度が向上する。 10

【0031】

本発明において、半絶縁性基板1としてGaAs基板を用いたHBTの場合に、GaAsに窒素を添加したGaNA sをn型コレクタ層3として用いる。この場合の本発明の効果は、GaAsに窒素を添加することにより伝導帯のエネルギー位置が大きく下がるという原理に基づいている。

【0032】

また、この場合の本発明の効果は、GaAsとGaNA sとの間に格子不整合による欠陥が生じない窒素添加量では、添加した窒素により結晶の品質が損なわれず、GaNA s層での電子移動度がGaAsと同程度となるという、本発明を実証する過程で発見された事実にも基づいている。 20

【0033】

GaAs基板とGaNA s層との格子不整合により、HBTの信頼性の低下が危惧されるが、少量のInを併せて添加することにより格子不整合が回避できる。

【0034】

本発明において、半絶縁性基板1としてInP基板を用いたHBTの場合に、InPに窒素を添加したInNPをn型コレクタ層3として用いる。この場合の本発明の効果は、InNPのバンドギャップは窒素の添加により、もとのInPのバンドギャップより小さくなり、伝導帯のエネルギー位置も大きく下がるという発見に基づいている。InP基板とInNP層との格子不整合により、HBTの信頼性の低下が危惧されるが、少量のAsやSbを併せて添加することにより格子不整合が回避できる。 30

【0035】

InP基板上にInPと格子整合するGaInAsをエピタキシャル成長させてn型コレクタ層3とp型ベース層4を作製してなるHBTにおいては、n型コレクタ層3となるGaInAsに窒素を添加し、GaInNA sをn型コレクタ層3とすることにより、さらに大きな伝導帯のエネルギー位置の差を実現させることができる。

【0036】

このように窒素を添加した半導体をn型コレクタ層3に用いることにより、HBTの動作を高速化することができる。

【0037】

本発明の特徴は、窒素を添加した半導体をn型コレクタ層3に用いることにあるので、この特徴が顕著に現われるためには、n型エミッタ層5及びp型ベース層4は窒素を含まない化合物半導体で構成されていることが好ましい。 40

【0038】

【実施例】

HBT用のエピタキシャルウエハーは水素をキャリアガスとする有機金属気相成長法(MOCVD)で成長した。III族元素であるAl、Ga、Inの原料として、トリメチルアルミニウム、トリメチルガリウム、トリメチルインジウムをそれぞれ用いた。V族元素であるP、As、Sbの原料として、フォスフィン、アルシン、トリメチルアンチモンをそれぞれ用いた。n型不純物としてSiを用い、その原料として、ジシランを用いた。p 50

型不純物としてCを用い、その原料として四臭化炭素を用いた。

【0039】

本発明に特徴的であるNの原料としては、1, 1-ジメチルヒドラジンを用いた。

【0040】

従来の技術で述べた発光材料としてのGaNA_s或いはGaInNA_sのエピタキシャル結晶成長では、そのNの原料として、MOCVDにおいてプラズマ分解したアンモニア（前記非特許文献2、3）、MOCVDにおいてプラズマ分解した窒素ガス（前記非特許文献5）、分子線エピタキシー法においてプラズマ分解した窒素ガス（前記非特許文献6）が用いられている。本発明のエピタキシャル結晶成長はMOCVDに限定されるものではなく、Nの原料は、1, 1-ジメチルヒドラジンに限定されるものではない。

10

【0041】

本発明において、半絶縁性基板1としてGaAs基板を用いた場合のHBT用エピタキシャルウエハーの構造の一例を図2に示す。図中、 cm^{-3} を単位とする数値は不純物濃度を示す。以下に示すすべての実施例において、半絶縁性基板1を用い、結晶性を向上させるために基板と同じ組成のバッファ層2を成長させ、その上にn型コレクタ層3、p型ベース層4、n型エミッタ層5を成長させた。n型エミッタ層5の上部には、エミッタ電極9の形成が容易になることを目的としたn型キャップ層6を設けている。

【0042】

以下に詳細に記述するすべての実施例において、トランジスタのサイズ及び各層に接続する電極を同一とし、本発明の特長である窒素の添加の効果が峻別しやすいようにした。

20

【0043】

（実施例1）

半絶縁性GaAsを基板1とし、n型エミッタ層5をAlGaAs（III族元素に占めるAlの割合が25%、以下Al：25%と記す）、p型ベース層4をGaAs、n型コレクタ層3をGaNA_s（V族元素に占めるNの割合が5%、以下N：5%と記す）とするHBTを製作した。比較のため、従来手法による、n型コレクタ層3をGaAsとするHBTも製作した。高速スイッチング時の電流利得の遮断周波数（以下f_Tと記す）を測定し、従来手法と本発明を比較したところ、従来手法のf_Tを1とすると本発明のf_Tは1.3となった。本実施例におけるHBTのエネルギー帯構造を図3に示す。この図に示すように、p型ベース層4とn型コレクタ層3の伝導帯エネルギーの差が本発明により、図4に示した従来手法と比較して、大きくなり、電子が、従来手法よりも、さらに加速されることが、f_Tの向上に寄与している。

30

【0044】

伝導帯エネルギー差を図3に示した程度に大きくするために必要なNの量は僅かに5%である。この場合に、結晶成長の諸条件を変更することなく、GaAs層成長中にNの原料を添加することのみにより、GaNA_s層を成長することができた。このように、特殊な成長条件を必要とせず、容易にGaNA_s層を成長できるため、HBT用エピタキシャルウエハーの作製の再現性は、従来手法と同等である。

【0045】

（実施例2）

半絶縁性GaAsを基板とし、n型エミッタ層5をAlGaAs（Al：25%）、p型ベース層4として組成を、エミッタ層5側よりコレクタ層3へ向けて、Al：25%からAl：5%まで連続的に変化させたAlGaAs、n型コレクタ層3をGaNA_s（N：5%）とするHBTを製作した。比較のため、従来手法による、n型コレクタ層3をGaAsとするHBTも製作した。高速スイッチング時の電流利得の遮断周波数f_Tを測定し、従来手法と本発明を比較したところ、従来手法のf_Tを1とすると本発明のf_Tは1.2と向上した。

40

【0046】

（実施例3）

半絶縁性GaAsを基板とし、n型エミッタ層5をGaInP（III族元素に占めるG

50

aの割合が52%、以下Ga:52%と記す)、p型ベース層4をGaAs、n型コレクタ層3をGa_{0.95}N_{0.05}As(N:5%)とするHBTを製作した。比較のため、従来手法による、n型コレクタ層3をGaAsとするHBTも製作した。高速スイッチング時の電流利得の遮断周波数 f_T を測定し、従来手法と本発明を比較したところ、従来手法の f_T を1とすると本発明の f_T は1.2と向上した。

【0047】

(実施例4)

半絶縁性GaAsを基板とし、n型エミッタ層5をAlGaInP(Al:10%、Ga:42%)、p型ベース層4をGaAs、n型コレクタ層3をGa_{0.95}N_{0.05}As(N:5%)とするHBTを製作した。比較のため、従来手法による、n型コレクタ層3をGaAsとするHBTも製作した。高速スイッチング時の電流利得の遮断周波数 f_T を測定し、従来手法と本発明を比較したところ、従来手法の f_T を1とすると本発明の f_T は1.2と向上した。

【0048】

なお、p型ベース層4の構成材料であるGaAsをn型エミッタ層5よりバンドギャップが小さいAlGaAs、GaInPまたはAlGaInPで置き換えた場合にも、上記と同様の f_T の向上効果がある。

【0049】

(実施例5)

実施例1に示したHBTのn型コレクタ層3に微量のInを添加し、GaInN_{0.03}As(In:3%、N:5%)をn型コレクタ層3とするHBTを製作した。Inの添加により、n型コレクタ層3とGaAs基板との格子不整合は軽減される。実施例1に記載した従来手法のHBTの f_T を1とすると、本発明のHBTの f_T は1.25とさらに向上した。n型コレクタ層3にかかっていた引っ張り応力が緩和されたことと、Inの添加によりさらに伝導帯エネルギー位置が下がったことにより、HBTの特性が向上した。

【0050】

なお、p型ベース層4の構成材料であるGaAsをn型エミッタ層5よりバンドギャップが小さいAlGaAsで置き換えた場合にも、上記と同様の f_T の向上効果がある。

【0051】

(実施例6)

実施例3に示したHBTのn型コレクタ層3に微量のInを添加し、GaInN_{0.03}As(In:3%、N:5%)をn型コレクタ層3とするHBTを製作した。実施例3に記載した従来手法のHBTの f_T を1とすると、本発明のHBTの f_T は1.25とさらに向上した。

【0052】

なお、n型エミッタ層5の構成材料であるGaInPをAlGaInPで置き換え、p型ベース層4の構成材料であるGaAsをn型エミッタ層5よりバンドギャップが小さいAlGaAs、GaInPまたはAlGaInPで置き換えた場合にも、上記と同様の f_T の向上効果がある。

【0053】

(実施例7)

実施例1から4におけるn型コレクタ層3を超格子構造のものに代えてHBTを作製した。超格子構造として、2nmのGaAsと2nmのGa_{0.95}N_{0.05}As(N:10%)を75周期積層したもの、5nmのGaAsと5nmのGa_{0.95}N_{0.05}As(N:10%)を30周期積層したもの、2nmのGa_{0.95}N_{0.05}As(N:2%)と2nmのGa_{0.95}N_{0.05}As(N:8%)を75周期積層したもの、2nmのGaAsと8nmのGa_{0.95}N_{0.05}As(N:6%)を30周期積層したものをを用いた。超格子のもつ規則性により電子移動度が向上する効果により、HBTの f_T はそれぞれ概ね0.05ポイント向上した。

【0054】

なお、一般に、n型コレクタ層3を、窒素原子組成の異なる半導体を交互に積層した超格

10

20

30

40

50

子構造あるいは窒素を含む半導体と窒素を含まない半導体を交互に積層した超格子構造で置き換えた場合にも、同様の f_T の向上効果が現れる。

【0055】

(実施例8)

半絶縁性 InP を基板とし、 n 型エミッタ層5を AlInP ($\text{Al}:25\%$)、 p 型ベース層4を InP 、 n 型コレクタ層3を InNP ($\text{N}:5\%$) とする HBT を製作した。比較のため、従来手法による、 n 型コレクタ層3を InP とする HBT も製作した。高速スイッチング時の電流利得の遮断周波数 f_T を測定し、従来手法と本発明を比較したところ、従来手法の f_T を1とすると本発明の f_T は1.3と向上した。

【0056】

(実施例9)

半絶縁性 InP を基板とし、 n 型エミッタ層5を AlInP ($\text{Al}:25\%$)、 p 型ベース層4として組成をエミッタ層5側より $\text{Al}:25\%$ から $\text{Al}:5\%$ まで連続的に変化させた AlInP 、 n 型コレクタ層3を InNP ($\text{N}:5\%$) とする HBT を製作した。比較のため、従来手法による、 n 型コレクタ層3を InP とする HBT も製作した。高速スイッチング時の電流利得の遮断周波数 f_T を測定し、従来手法と本発明を比較したところ、従来手法の f_T を1とすると本発明の f_T は1.2と向上した。

【0057】

(実施例10)

半絶縁性 InP を基板とし、 n 型エミッタ層5を InP 、 p 型ベース層4を GaAsSb ($\text{As}:48\%$)、 n 型コレクタ層3を InNP ($\text{N}:5\%$) とする HBT を製作した。比較のため、従来手法による、 n 型コレクタ層3を InP とする HBT も製作した。高速スイッチング時の電流利得の遮断周波数 f_T を測定し、従来手法と本発明を比較したところ、従来手法の f_T を1とすると本発明の f_T は1.15と向上した。

【0058】

(実施例11)

実施例8から10の構造において、 n 型コレクタ層3に微量の As を添加し、 InNPAs ($\text{N}:5\%$ 、 $\text{As}:3\%$) を n 型コレクタ層3とする HBT を製作した。 n 型コレクタ層3にかかっていた引っ張り応力が緩和されたことと、 As の添加によりさらに伝導帯エネルギー位置が下がったことにより、 HBT の特性が向上し、実施例8から10に記載した f_T よりそれぞれ概ね0.05ポイント程度の向上が確認された。

【0059】

(実施例12)

実施例8から10の構造において、 n 型コレクタ層3に微量の Sb を添加し、 InNPSb ($\text{N}:5\%$ 、 $\text{Sb}:1.5\%$) を n 型コレクタ層3とする HBT を製作した。 n 型コレクタ層3にかかっていた引っ張り応力が緩和されたことにより、 HBT の特性が向上し、実施例8から10に記載した f_T よりそれぞれ概ね0.02ポイント程度の向上が確認された。

【0060】

(実施例13)

実施例8から10における n 型コレクタ層3を超格子構造のものに代えて、 HBT を作製した。超格子構造として、2nmの InP と2nmの InNP ($\text{N}:10\%$) を75周期積層したもの、5nmの InP と5nmの InNP ($\text{N}:10\%$) を30周期積層したもの、2nmの InNP ($\text{N}:2\%$) と2nmの InNP ($\text{N}:8\%$) を75周期積層したもの、2nmの InP と8nmの InNP ($\text{N}:6\%$) を30周期積層したものを用いた。超格子のもつ規則性により電子移動度が向上する効果により、 HBT の f_T はそれぞれ概ね0.05ポイント向上した。

【0061】

なお、一般に、 n 型コレクタ層3を、窒素原子組成の異なる半導体を交互に積層した超格子構造あるいは窒素を含む半導体と窒素を含まない半導体を交互に積層した超格子構造で

10

20

30

40

50

置き換えた場合にも、同様の f_T の向上効果が現れる。

【0062】

(実施例14)

半絶縁性 InP を基板とし、n 型エミッタ層 5 を InP、p 型ベース層 4 を GaInAs (Ga: 48%)、n 型コレクタ層 3 を GaInNAs (Ga: 47%、N: 5%) とする HBT を製作した。比較のため、従来手法による、n 型コレクタ層 3 を GaInAs (Ga: 48%) とする HBT も製作した。高速スイッチング時の電流利得の遮断周波数 f_T を測定し、従来手法と本発明を比較したところ、従来手法の f_T を 1 とすると本発明の f_T は 1.25 と向上した。

【0063】

なお、n 型エミッタ層 5 の構成材料である InP を AlInP で置き換えた場合にも、上記と同様の f_T の向上効果がある。

【0064】

以上説明したところから明らかなように、本発明により HBT の n 型コレクタ層 3 に GaNAs、GaInNAs、InNP、InNPAs、InNPSb を構成要素として用いることにより、p 型ベース層 4 と n 型コレクタ層 3 の間に、従来手法の場合より大きな伝導帯のエネルギー位置の差を実現することができ、p 型ベース層 4 から n 型コレクタ層 3 に注入される電子がさらに加速されるため、高速スイッチング時の電流利得の遮断周波数に代表される HBT の特性が向上した。

【0065】

大きな伝導帯のエネルギー位置の差を実現するために必要とする窒素量、及び窒素添加により生じる基板との格子不整合を緩和するために添加する原子の量は少ないため、エピタキシャル結晶成長条件を結晶成長中に大きく変更する必要がなく、従来手法と同程度の難易度でエピタキシャルウエハーが作製でき、再現性も確保できた。

【0066】

なお、本発明の実施の形態においては、窒素含有化合物半導体の複数種類を 1 つの n 型コレクタ層の構成要素としてもよいし、すでに述べたように、窒素含有化合物半導体を構成要素とする超格子構造によって n 型コレクタ層を構成してもよい。

【0067】

【発明の効果】

本発明の実施により、高速動作特性が改善されたヘテロバイポーラトランジスタを提供することが可能となる。

【図面の簡単な説明】

【図1】ヘテロバイポーラトランジスタの断面の概略図である。

【図2】本発明に係るヘテロバイポーラトランジスタ用エピタキシャルウエハーの断面の一例を示す図である。

【図3】本発明に係るヘテロバイポーラトランジスタの断面におけるエネルギー帯構造の一例を示す図である。

【図4】従来手法によるヘテロバイポーラトランジスタの断面におけるエネルギー帯構造の一例を示す図である。

【符号の説明】

1…半絶縁性基板、2…バッファ層、3…n 型コレクタ層、4…p 型ベース層、5…n 型エミッタ層、6…n 型キャップ層、7…コレクタ電極、8…ベース電極、9…エミッタ電極。

10

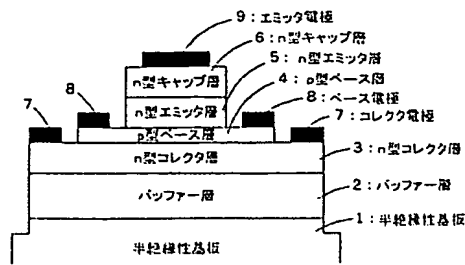
20

30

40

【図 1】

図 1



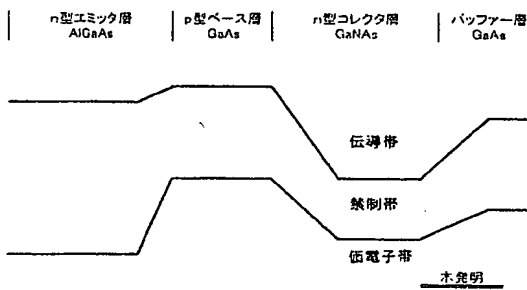
【図 2】

図 2

n型InGaAsキャップ層 厚さ 100nm $5 \times 10^{18} \text{cm}^{-3}$	6
n型AlGaAsエミッタ層 厚さ 150nm $5 \times 10^{17} \text{cm}^{-3}$	5
p型GaAsベース層 厚さ 50nm $2 \times 10^{18} \text{cm}^{-3}$	4
n型GaAsコレクタ層 (従来法においてはGaAsコレクタ層) 厚さ 300nm $5 \times 10^{17} \text{cm}^{-3}$	3
GaAsバッファー層 厚さ 300nm	2
半絶縁性GaAs基板	1

【図 3】

図 3



【図 4】

図 4

